

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-101750

(43)Date of publication of application : 13.04.1990

(51)Int.CI.

H01L 21/336
H01L 21/265
H01L 29/784

(21)Application number : 63-255272

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.10.1988

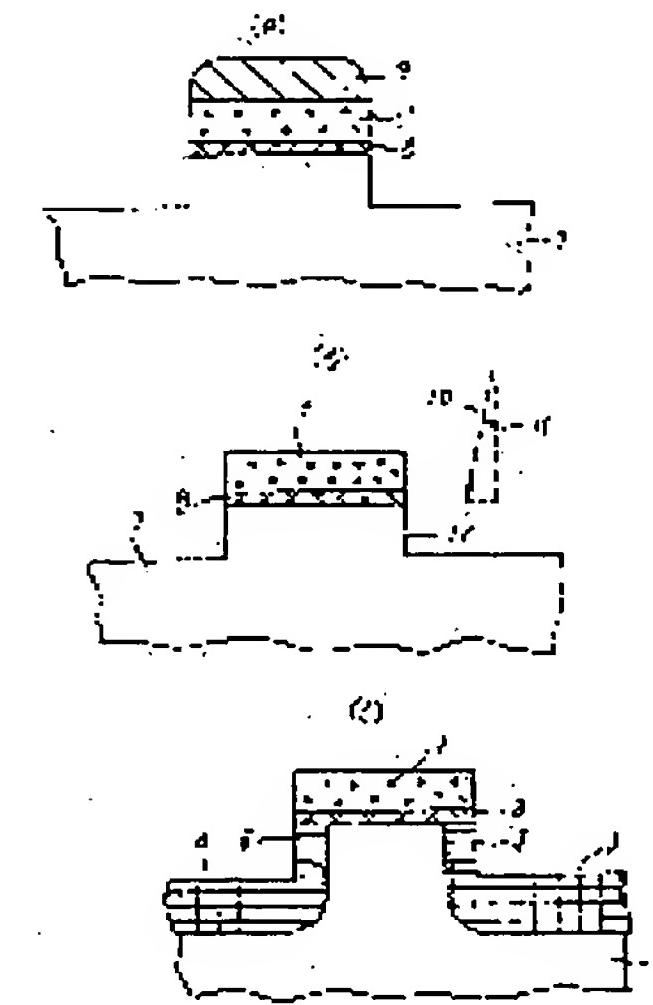
(72)Inventor : URABE TAKASHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a MOS transistor having LDD structure with a reduced number of processes by etching a silicon substrate after removal of a gate oxide film and implanting an N-type dopant obliquely into a step part of the substrate to provide a lowly doped N-type region.

CONSTITUTION: After a resist film 6 is removed, an N-type dopant is implanted in an oblique direction as indicated by 10 and at an implantation angle θ as indicated by 11. For example, when a tangent of the implantation angle θ_{11} is 0.1, if the dopant is implanted into a flat part of a P-type silicon substrate 7 at a concentration of 10x a step part 12 of the silicon substrate will be doped at a concentration of 10x-1 and therefore an N-type region having such a low concentration as represented by one digit can be provided there. After implantation of the N-type dopant, it is annealed. In this manner, the number of processes can be reduced and thereby time and cost required for manufacture of semiconductor devices can be also reduced. Further, variation in concentration ratio between the N+ type regions and the N-type regions is minimized and the resulting products are allowed to have stable and uniform quality.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 平2-101750

⑬ Int. Cl.⁵
H 01 L 21/336
21/265
29/784

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月13日

8422-5F H 01 L 29/78 301 Z
8422-5F
7522-5F 21/265 L
U

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特願 昭63-255272

⑰ 出願 昭63(1988)10月11日

⑱ 発明者 ト 部 隆 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑲ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

MOSトランジスタのゲート近傍のシリコン基板をエッティングし、n型不純物の斜め注入を行い、上記シリコン基板の深さ方向の面にN⁻領域を形成することにより、LDD構造のMOSトランジスタを形成したことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕
この発明は半導体装置の製造方法に関するものである。

〔従来の技術〕

第3図は従来のLDD(Lightly doped drain)構造のMOSトランジスタの断面図、第4図(a)~(e)は第3図に示すMOSトランジスタの製造方法を工程を追つて示した断面図である。

図において、(1)はゲートポリシリコン、(2)はスペーサ(SiO₂などの絶縁膜)、(3)はソース(N⁺領

域)、(4)はドレイン(N⁺領域)、(5)はソース(N⁻領域)、(6)はドレイン(N⁻領域)、(7)はp型シリコン基板、(8)はゲート酸化膜(SiO₂)、(9)はレジスト膜である。尚、N⁺領域とは、n(negative)型不純物の濃度の高い領域であり、N⁻領域とはn型不純物の濃度がN⁺領域に比較して低い領域のことである。

次に製造方法について第4図を用いて説明する。まず第4図(a)に示すごとくP型シリコン基板(7)の表面にゲート酸化膜(8)とゲートポリシリコン(1)を形成し、レジスト膜(9)をバターニングする。

次に第4図(b)に示すごとく、ガスプラズマ(例えば、ポリシリコンに対してはSF₆+O₂の混合ガスプラズマ、SiO₂に対してはCHF₃+O₂の混合ガスプラズマ)によってレジスト膜(9)に対してはエッティング除去しないがゲートポリシリコン(1)とゲート酸化膜(8)をエッティング除去する。

次に第4図(c)に示すごとくレジスト膜(9)だけを除去するガスプラズマ(例えばO₂ガスプラズマ)でレジスト膜(9)を除去し、n型不純物(例えばAs

など)を注入し、アニールする。

次に第4図(d)に示すごとくスペーサ(2)を(例えば、CVD(Chemical Vapor Deposition)にて)表面に形成する。

次にスペーサ(2)をRIE(Reactive Ion Etching)法にて、エッティング除去すると第4図(e)に示すように、ゲートポリシリコン(1)の断面部分にスペーサ(2)が残る。(RIE法は、垂直方向にのみエッティングが進行するため、段差部の酸化膜厚が平坦部の酸化膜厚よりも厚いので再現性よく残せる。(エッチバツク法というエッティング技術))

次に、n型不純物(As, Pなど)を第4図(c)の工程の時よりも濃度を高くして注入し、アニールすると、第3図に示すLDD構造のMOSトランジスタが得られる。

以上のように、LDD構造のMOSトランジスタを得るためにには、以下の13工程が必要である。

- ① ゲート酸化膜(8)形成
- ↓
- ② ゲートポリシリコン(1)デポジット
- ↓
- ③ レジスト膜(9)塗布

[課題を解決するための手段]

この発明に係るLDD構造のMOSトランジスタは、ゲート酸化膜をエッティング除去後にシリコン基板をエッティングし、その段差部にn型不純物を斜め注入を行つて低濃度N⁻領域を形成することにより、製造工程数を削減したLDD構造のMOSトランジスタを形成したものである。

[作用]

この発明におけるLDD構造のMOSトランジスタは、少ない工程数にて形成できる。

[実施例]

以下、この発明の一実施例による半導体装置の製造方法を図について説明する。第1図(a)～(c)はLDD構造のMOSトランジスタの製造工程を示す断面図、第2図はこの発明の他の実施例によるLDD構造のMOSトランジスタの断面図である。図において(1), (3)～(9)は第3図及び第4図の従来例に示したものと同等であるので説明を省略する。(10)はn型不純物の注入方向、(11)は注入角度θ、(12)はシリコン基板段差部である。

- ④ レジスト膜(9)パターニング(第4図(a))
- ↓
- ⑤ ゲートポリシリコン(1)エッティング除去
- ↓
- ⑥ ゲート酸化膜(8)エッティング除去(第4図(b))
- ↓
- ⑦ レジスト膜(9)除去
- ↓
- ⑧ n型不純物(As)注入
- ↓
- ⑨ アニール(N⁻領域形成)(第4図(c))
- ↓
- ⑩ スペーサ(2)デポジット(第4図(d))
- ↓
- ⑪ スペーサ(2)エッチバツク(第4図(e))
- ↓
- ⑫ n型不純物(AsまたはP)注入
- ↓
- ⑬ アニール(N⁺領域形成)(第3図)

[発明が解決しようとする課題]

従来のLDD構造のMOSトランジスタは以上のように製造されているので製造工程が多過ぎるため、時間、費用がかかつっていた。また、歩留り低下をきたすなどの問題点があつた。

この発明は、上記のような問題点を解消するためになされたもので、製造工程数を削減したLDD構造のMOSトランジスタを得ることを目的とする。

次に製造工程を説明する。第4図(a), (b)の従来例に示した工程は、この発明による製造方法においても同様に行うが説明の重複を避けることにし、以降の工程について第1図を用いて述べる。第1図(a)は第4図(b)と同じ状態を示すが、次に第1図(b)に示すごとくレジスト膜(9)を除去してから、n型不純物(As, Pなど)を注入方向(10)、注入角度θ(11)によつて斜め注入する。例えば、注入角度θ(11)がtanθ = 0.1のとき、P型シリコン基板(7)の平たん部に10^xの濃度で注入すると、シリコン基板段差部(12)には、10^{x-1}の濃度で注入されることになり、1ケタ濃度の低いN⁻領域が形成できる。n型不純物の注入後アニールを行つて第1図(c)に示すごとく完成する。

以上のように、この方法を用いれば、LDD構造のMOSトランジスタは以下のように少ない工程で形成できる。

- ④ ⑥の工程までは従来技術と同じ
- ↓
- ⑦ P型シリコン基板(7)をエッティング(第1図(a))
- ↓
- ⑧ レジスト膜(9)を除去

- ↓
⑨ n型不純物(As, Pなど)を斜め注入(第1
↓図(b))
⑩アニール(第1図(c))

以上のように⑦P型シリコン基板(7)のエッティング工程を追加し、⑨のn型不純物を斜め注入することにより、従来の技術で述べたフローの⑧～⑩の4工程が削減できる。したがつて工程数のトータルは $+1-4=-3$ で3工程が削減できる。

上記のごとき方法を用いて、LDD構造のMOSトランジスタを製造すると、n型不純物の注入及びアニール工程、スペーサ(2)のデポジット及びエッチバック各1工程が削減でき、P型シリコン基板(7)のエッティング工程が1工程増えるので、トータルすると、3工程削減できる。すなわち工程が短縮化することにより、製造に要する時間、費用が少なくなる。

一方、n型不純物の注入工程にして、ソース(N^+ 領域)(3)、ドレイン(N^+ 領域)(4)、ソース(N^- 領域)(5)、ドレイン(N^- 領域)(6)を同時に形成したため、 N^+ 領域の濃度と N^- 領域の濃度の比のバラ

たN-MOSにしたが、N型の基板にして、その代り、ソース・ドレインをP型にしたP-MOSにしてもよい。

〔発明の効果〕

以上のように、この発明によれば、LDD構造のMOSトランジスタを少ない工程で、均質な製品を製造することができる。

また、スペーサの酸化膜を必要としないため、パターンの縮小化にもなる。

4. 図面の簡単な説明

第1図(a)～(c)はこの発明の一実施例によるLDD構造のMOSトランジスタの製造工程を示す断面図、第2図はこの発明の他の実施例によるLDD構造のMOSトランジスタの断面図、第3図は従来のLDD構造のMOSトランジスタを示す断面図、第4図(a)～(e)は、第3図に示すMOSトランジスタの製造方法を工程を追つて示した断面図である。

図において(1)はゲートポリシリコン、(3)はソース(N^+ 領域)、(4)はドレイン(N^+ 領域)、(5)はソ

ツキが少なくなり、安定した均質な製品が製造できる。

また、第2図の従来例に示すスペーサ(2)が無くなつたため、ゲート面積が小さくなり、パターンが縮小化できる。

もちろん、LDD構造のMOSトランジスタであるので、ドレイン近傍での電界集中が緩和されるので、(N^- 領域があるため、空乏層が広がりその結果、電界集中が防げる)ソース・ドレイン耐圧が向上する。

なお、上記実施例では、シリコン基板段差部(9)が垂直のものについて説明したが第2図のように、垂直でなくてもよい。この場合は、n型不純物の注入工程は斜め注入にしなくともよい。(ただし、この場合はシリコン基板の段差部(9)の傾きにより、 N^+ 領域と N^- 領域の濃度比が決定する。)

また上記実施例では、ゲート電極にゲートポリシリコン(1)を使用したが、シリサイド膜(MOSi, WSi, TiSiなど)でも構わない。

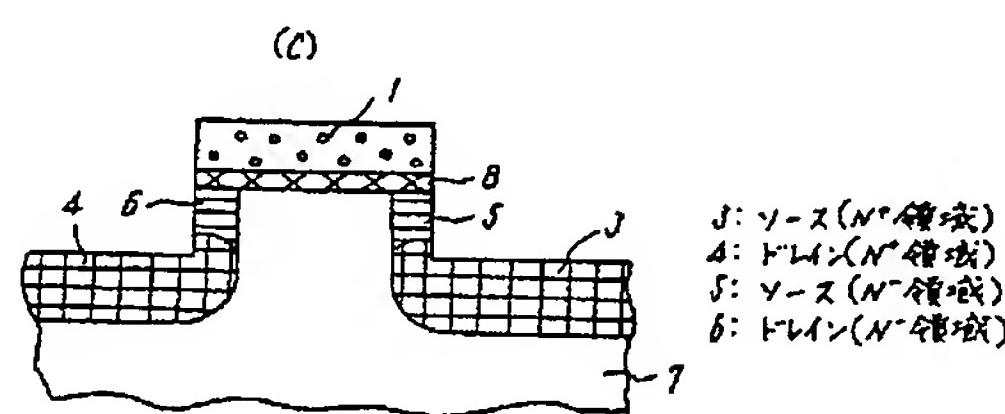
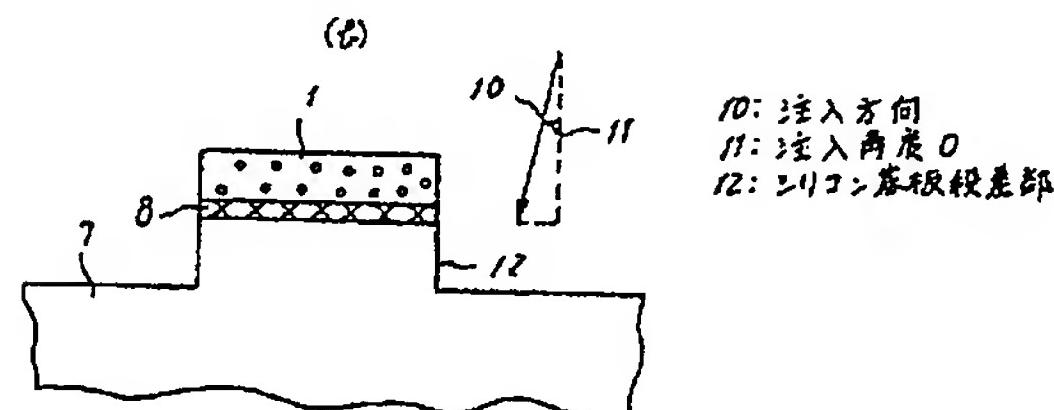
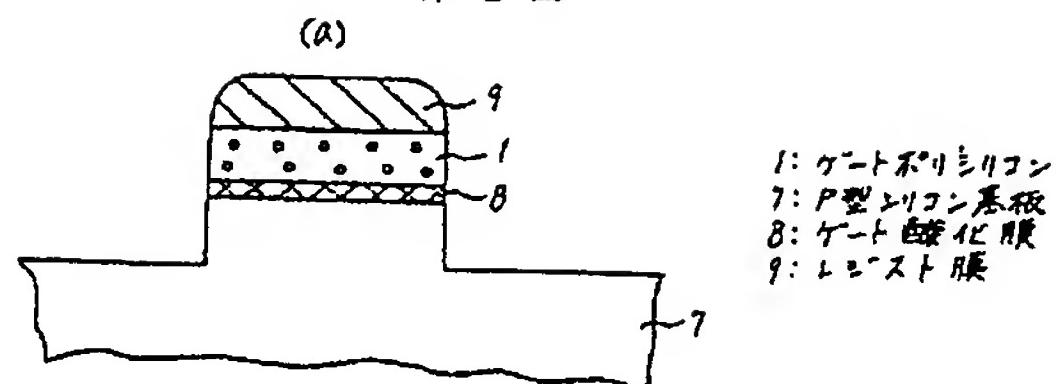
更に上記実施例ではP型シリコン基板(7)を用い

ース(N^- 領域)、(6)はドレイン(N^- 領域)、(7)はP型シリコン基板、(8)はゲート酸化膜、(9)はレジスト膜、(10)は注入方向、(11)は注入角度 θ 、(12)はシリコン基板段差部である。

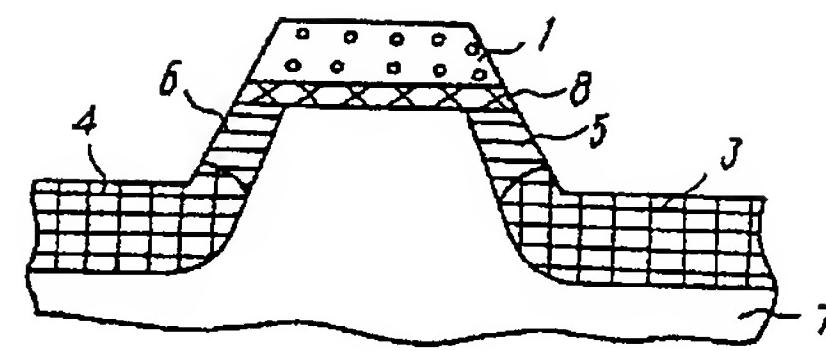
尚、図中、同一符号は同一または相当部分を示す。

代理人 大岩 増雄

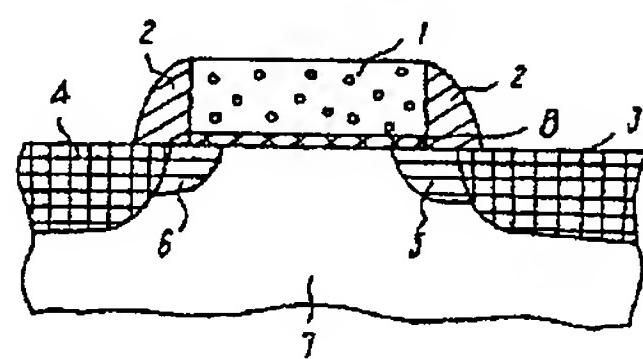
第1図



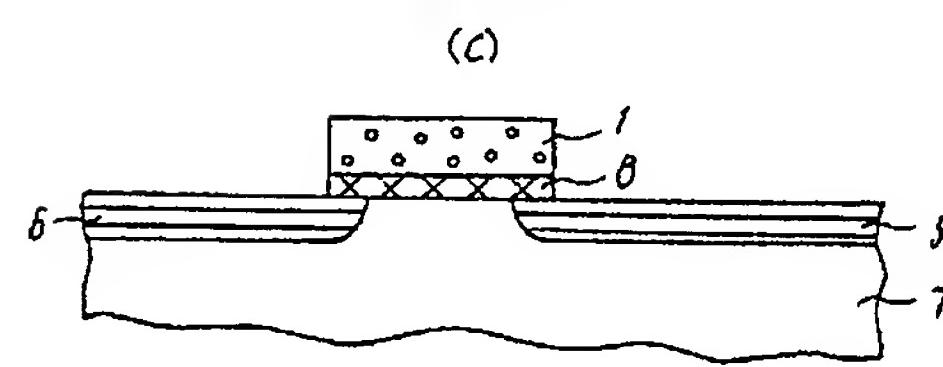
第2図



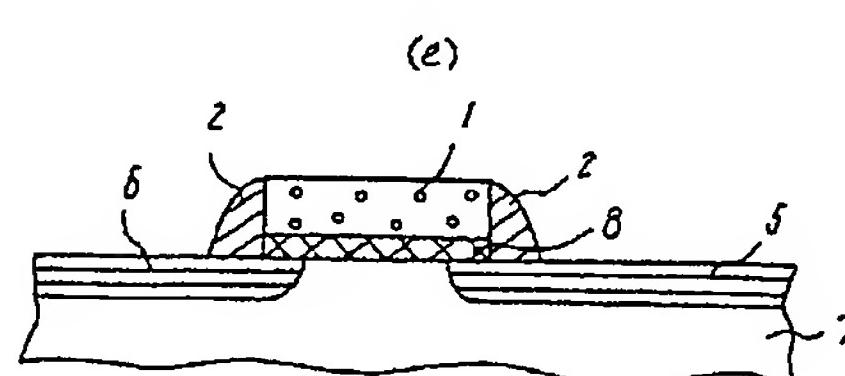
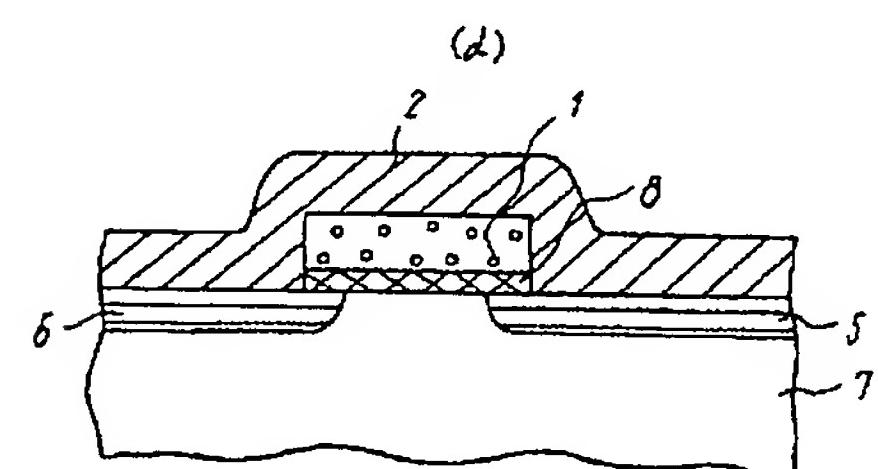
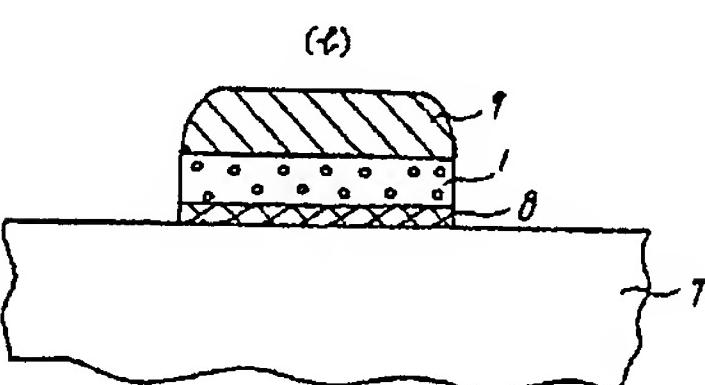
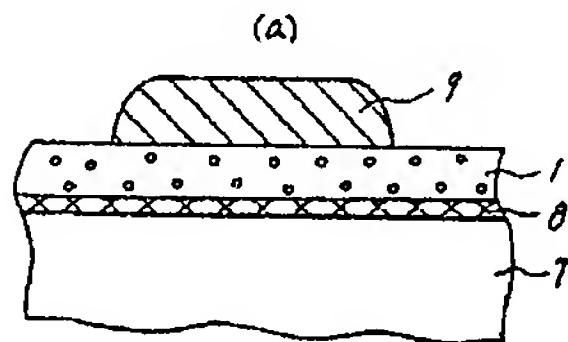
第3図



第4図



第4図



手 続 補 正 書(自発)

平成 1 年 2 月 2 日



特許庁長官殿

1. 事件の表示 特願昭 63-255272号

2. 発明の名称 半導体装置の製造方法

3. 補正をする者

事件との関係 特許出願人
 住 所 東京都千代田区丸の内二丁目2番3号
 名 称 (601)三菱電機株式会社
 代表者 志岐 守哉

4. 代理人

住 所 東京都千代田区丸の内二丁目2番3号
 三菱電機株式会社内
 氏 名 (7375)弁理士 大岩 増雄
 (連絡先03(213)3421特許部)

5. 補正の対象

明細書の特許請求の範囲の欄、および発明の詳細な説明の欄。

6. 補正の内容

(1) 明細書の特許請求の範囲を別紙のとおり訂正する。

(2) 明細書の第7頁第17行に「n型不純物の注入工程にして。」とあるのを「n型不純物の注入工程にて。」に訂正する。

7. 添付書類の目録

(1) 訂正後の特許請求の範囲を記載した書面

1通

以上



特許請求の範囲

MOSトランジスタのゲート近傍のシリコン基板をエッティングし、不純物の斜め注入を行い、上記シリコン基板の深さ方向の面に不純物濃度の薄い領域を形成することにより、LDD構造のMOSトランジスタを形成したことを特徴とする半導体装置の製造方法。

THIS PAGE BLANK (USPTO)